

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

PCT/JP 2004/005756

22. 4. 2004

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日  
Date of Application: 2003年 4月28日

出 願 番 号  
Application Number: 特願2003-123820  
[ST. 10/C]: [JP2003-123820]

出 願 人  
Applicant(s): 株式会社リコー

REC'D 01 JUL 2004

WIPO

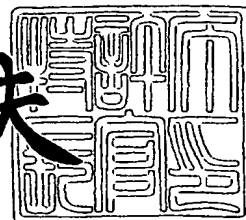
PCT

**PRIORITY  
DOCUMENT**  
SUBMITTED OR TRANSMITTED IN  
COMPLIANCE WITH RULE 17.1(a) OR (b)

2004年 6月 3日

特許庁長官  
Commissioner,  
Japan Patent Office

今井康夫



出証番号 出証特2004-3047613

【書類名】 特許願

【整理番号】 189029

【提出日】 平成15年 4月28日

【あて先】 特許庁長官殿

【国際特許分類】 H02M 3/155

【発明の名称】 昇降圧型DC-DCコンバータ

【請求項の数】 11

【発明者】

【住所又は居所】 東京都大田区中馬込1丁目3番6号 株式会社リコー内

【氏名】 新田 昇一

【発明者】

【住所又は居所】 東京都大田区中馬込1丁目3番6号 株式会社リコー内

【氏名】 松尾 正浩

【発明者】

【住所又は居所】 東京都大田区中馬込1丁目3番6号 株式会社リコー内

【氏名】 野村 律子

【特許出願人】

【識別番号】 000006747

【住所又は居所】 東京都大田区中馬込1丁目3番6号

【氏名又は名称】 株式会社リコー

【代理人】

【識別番号】 100086405

【弁理士】

【氏名又は名称】 河宮 治

【選任した代理人】

【識別番号】 100098280

【弁理士】

【氏名又は名称】 石野 正弘

【手数料の表示】

【予納台帳番号】 163028

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9808860

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 昇降圧型 DC-DC コンバータ

【特許請求の範囲】

【請求項 1】 入力された制御信号に応じて入力電圧を昇圧又は降圧して所定の出力電圧を生成し出力する昇降圧部と、該出力電圧を分圧した電圧値と所定の基準電圧との誤差を示した誤差信号を生成し、該誤差信号と所定の各三角波信号とを比較し該比較結果に応じて前記昇降圧部に対して昇圧又は降圧動作を行わせる制御部とを備えた昇降圧型 DC-DC コンバータにおいて、

前記制御部は、

前記昇降圧部に対して降圧動作を行わせるか否かの判断を行うために前記誤差信号と比較する第 1 三角波信号を生成する第 1 三角波発生回路と、

前記昇降圧部に対して昇圧動作を行わせるか否かの判断を行うために前記誤差信号と比較する第 2 三角波信号を生成する第 2 三角波発生回路と、  
を備え、

前記第 1 三角波発生回路は、生成した第 1 三角波信号に同期したクロック信号を生成して前記第 2 三角波発生回路に出力し、該第 2 三角波発生回路は、入力されたクロック信号に基づいて前記第 1 三角波信号に同期した第 2 三角波信号を生成して出力することを特徴とする昇降圧型 DC-DC コンバータ。

【請求項 2】 前記制御部は、

前記第 1 三角波信号の下限電圧を設定するための所定の第 1 電圧  $V_a$  を生成して出力する第 1 電圧発生回路と、

前記第 1 三角波信号の上限電圧を設定するための所定の第 2 電圧  $V_b$  を生成して出力する第 2 電圧発生回路と、

前記第 2 三角波信号の上限電圧を設定するための所定の第 3 電圧  $V_c$  を生成して出力する第 3 電圧発生回路と、

前記第 1 三角波信号及び第 2 三角波信号の電圧変化の傾きをそれぞれ設定する電流を生成して出力する電流発生回路と、  
を備え、

前記第 1 三角波発生回路は、前記第 1 電圧  $V_a$ 、前記第 2 電圧  $V_b$  及び電流発

生回路からの電流から前記第 1 三角波信号を生成し、前記第 2 三角波発生回路は、前記第 3 電圧  $V_c$ 、電流発生回路からの電流及び前記第 1 三角波発生回路からのクロック信号から前記第 2 三角波信号を生成することを特徴とする請求項 1 記載の昇降圧型 DC-DC コンバータ。

【請求項 3】 前記第 1 電圧発生回路、第 2 電圧発生回路及び第 3 電圧発生回路は、 $V_a < V_b < V_c$  であつ  $(V_b - V_a) > (V_c - V_b)$  になるように対応する第 1 電圧  $V_a$ 、第 2 電圧  $V_b$  及び第 3 電圧  $V_c$  を生成して出力することを特徴とする請求項 2 記載の昇降圧型 DC-DC コンバータ。

【請求項 4】 前記第 1 三角波発生回路は、前記クロック信号を第 1 三角波信号における下限電圧に同期させることを特徴とする請求項 1、2 又は 3 記載の昇降圧型 DC-DC コンバータ。

【請求項 5】 前記第 2 三角波発生回路は、第 2 三角波信号の電圧が前記第 3 電圧  $V_c$  になると第 2 三角波信号の電圧を低下させ、前記クロック信号に同期して第 2 三角波信号の電圧を上昇させることを特徴とする請求項 2、3 又は 4 記載の昇降圧型 DC-DC コンバータ。

【請求項 6】 入力された制御信号に応じて入力電圧を昇圧又は降圧して所定の出力電圧を生成し出力する昇降圧部と、該出力電圧を分圧した電圧値と所定の基準電圧との誤差を示した誤差信号を生成し、該誤差信号と所定の各三角波信号とを比較し該比較結果に応じて前記昇降圧部に対して昇圧又は降圧動作を行わせる制御部とを備えた昇降圧型 DC-DC コンバータにおいて、

前記制御部は、

前記昇降圧部に対して降圧動作を行わせるか否かの判断を行うために前記誤差信号と比較する第 1 三角波信号を生成する第 1 三角波発生回路と、

前記昇降圧部に対して昇圧動作を行わせるか否かの判断を行うために前記誤差信号と比較する第 2 三角波信号を生成する第 2 三角波発生回路と、  
を備え、

前記第 2 三角波発生回路は、生成した第 2 三角波信号に同期したクロック信号を生成して前記第 1 三角波発生回路に出力し、該第 1 三角波発生回路は、入力されたクロック信号に基づいて前記第 2 三角波信号に同期した第 1 三角波信号を生

成して出力することを特徴とする昇降圧型DC-DCコンバータ。

【請求項7】 前記制御部は、

前記第1三角波信号の下限電圧を設定するための所定の第1電圧 $V_a$ を生成して出力する第1電圧発生回路と、

前記第2三角波信号の下限電圧を設定するための所定の第2電圧 $V_b$ を生成して出力する第2電圧発生回路と、

前記第2三角波信号の上限電圧を設定するための所定の第3電圧 $V_c$ を生成して出力する第3電圧発生回路と、

前記第1三角波信号及び第2三角波信号の電圧変化の傾きをそれぞれ設定する電流を生成して出力する電流発生回路と、  
を備え、

前記第1三角波発生回路は、前記第1電圧 $V_a$ 、電流発生回路からの電流及び第2三角波発生回路からのクロック信号から前記第1三角波信号を生成し、前記第2三角波発生回路は、前記第2電圧 $V_b$ 、第3電圧 $V_c$ 及び電流発生回路からの電流から前記第2三角波信号を生成することを特徴とする請求項6記載の昇降圧型DC-DCコンバータ。

【請求項8】 前記第1電圧発生回路、第2電圧発生回路及び第3電圧発生回路は、 $V_a < V_b < V_c$ でかつ $(V_b - V_a) < (V_c - V_b)$ になるように対応する第1電圧 $V_a$ 、第2電圧 $V_b$ 及び第3電圧 $V_c$ を生成して出力することを特徴とする請求項7記載の昇降圧型DC-DCコンバータ。

【請求項9】 前記第2三角波発生回路は、前記クロック信号を第2三角波信号における上限電圧に同期させることを特徴とする請求項6、7又は8記載の昇降圧型DC-DCコンバータ。

【請求項10】 前記第1三角波発生回路は、第1三角波信号の電圧が前記第1電圧 $V_a$ になると第1三角波信号の電圧を上昇させ、前記クロック信号に同期して第1三角波信号の電圧を低下させることを特徴とする請求項7、8又は9記載の昇降圧型DC-DCコンバータ。

【請求項11】 前記第1電圧発生回路、第2電圧発生回路及び第3電圧発生回路は、所定の電圧を抵抗で分圧して対応する第1電圧 $V_a$ 、第2電圧 $V_b$ 及

び第3電圧 $V_c$ を生成することを特徴とする請求項2又は7記載の昇降圧型DC-DCコンバータ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、昇降圧型のDC-DCコンバータに関し、特にPWM制御に使用する三角波発生手段を備えた昇降圧型DC-DCコンバータに関するものである。

【0002】

【従来の技術】

携帯電話に代表されるように、近年小型の携帯機器が広く普及しており、このような小型携帯機器の電源には小型の2次電池が使用されている。電池を小型にして、しかも使用時間をできるだけ長くするため、電池の高性能化と機器の省電力化が図られている。更に、電池の体積を小さくしてより長時間使用できるようにするには、電池電圧の使用電圧範囲をできるだけ広げることが望ましい。このことから、電源回路には、負荷が必要とする電圧よりも電池電圧が低い電圧になった場合においても、負荷に一定の電圧を供給できる昇降圧型DC-DCコンバータが用いられるようになった（例えば、特許文献1参照。）。また、昇降圧型DC-DCコンバータは、電源電圧を選ばないため、電池やACアダプタ等の各種の入力電源に対応できるメリットも備えている。

【0003】

図8は、従来の昇降圧型DC-DCコンバータの例を示した回路図である。

図8における昇降圧型DC-DCコンバータ100は、1次側電圧 $V_{in}$ が入力される入力端子INと、所定の2次側電圧 $V_{out}$ を出力する出力端子OUTとを有し、PWM制御部101と昇降圧部102から構成されている。

コンパレータCMP13は、2次側電圧 $V_{out}$ を抵抗 $R_a$ 及び $R_b$ で分圧して生成した分圧電圧 $V_x$ と基準電圧 $V_{ref}$ とを比較して、該比較結果から誤差信号を生成して出力し、昇圧型コンパレータCMP12及び降圧型コンパレータCMP11にそれぞれ出力する。

【0004】

電流源 i 1 1 からの電流及び同期クロック信号 CLK が、レベルシフト回路 1 1 1 とのこぎり波発生回路 1 1 2 にそれぞれ入力されており、レベルシフト回路 1 1 1 のシフト量とのこぎり波発生回路 1 1 2 ののこぎり波の波高値は、相対的に依存性を持つ。すなわち、電流源 i 1 1 からの電流が変動しても、レベルシフト回路 1 1 1 とのこぎり波発生回路 1 1 2 において、のこぎり波が同じ波形で平行移動した関係を維持したまま変化するため、電流源 i 1 1 からの電流の変動による影響を受けない。

#### 【0005】

また、のこぎり波発生回路 1 1 2 は、降圧側のこぎり波を降圧側コンパレータ CMP 1 1 に供給する。また、該のこぎり波はレベルシフト回路 1 1 1 にも供給され、レベルシフト回路 1 1 1 は、入力されたのこぎり波を所定の電圧だけシフトアップした昇圧側のこぎり波を昇圧側コンパレータ CMP 1 2 に供給する。降圧型コンパレータ CMP 1 1 及び昇圧型コンパレータ CMP 1 2 は、入力された誤差信号とのこぎり波をそれぞれ比較する。例えば、誤差信号が降圧側のこぎり波における降圧モードのシフト電圧範囲にある場合は、降圧側コンパレータ CMP 1 1 は、降圧回路を作動させるモード切換信号 D d n を DC-DC コンバータ制御回路 1 1 3 に出力する。

#### 【0006】

誤差信号が昇圧側のこぎり波における昇圧モードのシフト電圧範囲にある場合は、昇圧側コンパレータ CMP 1 2 は、昇圧回路を作動させるモード切換信号 D u p を DC-DC コンバータ制御回路 1 1 3 に出力する。誤差信号が降圧モード及び昇圧モードの各シフト電圧範囲にある場合は、降圧側コンパレータ CMP 1 1 は、降圧回路を作動させるモード切換信号 D d n を、昇圧側コンパレータ CMP 1 2 は、昇圧回路を作動させるモード切換信号 D u p をそれぞれ DC-DC コンバータ制御回路 1 1 3 に出力する。DC-DC コンバータ制御回路 1 1 3 は、入力されたモード切換信号 D d n 及び D u p に応答して、スイッチング信号を生成して出力し、プリドライバ 1 1 4 は、該スイッチング信号を昇降圧部 1 0 2 に出力して、2 次側電圧 V o u t の昇降圧制御を行う。

#### 【0007】

## 【特許文献1】

特開 2000-166223 号公報

## 【0008】

## 【発明が解決しようとする課題】

しかし、このような昇降圧型DC-DCコンバータでは、のこぎり波を発生させるために外部クロック信号CLK<sub>e</sub>が必要であり、昇圧用のこぎり波を発生させるためにレベルシフト回路111を使用していた。このため、新たにクロック回路やレベルシフト回路が必要になり、回路規模が大きくなると共に回路が複雑になり、回路スペースとコストを増大させる要因になっていた。

## 【0009】

本発明は、上記のような問題を解決するためになされたものであり、外部クロック信号を必要とせず、しかも簡単な回路でレベルの異なる2つの三角波を発生させることができる昇降圧型DC-DCコンバータを得ることを目的とする。

## 【0010】

## 【課題を解決するための手段】

この発明に係る昇降圧型DC-DCコンバータは、入力された制御信号に応じて入力電圧を昇圧又は降圧して所定の出力電圧を生成し出力する昇降圧部と、該出力電圧を分圧した電圧値と所定の基準電圧との誤差を示した誤差信号を生成し、該誤差信号と所定の各三角波信号とを比較し該比較結果に応じて前記昇降圧部に対して昇圧又は降圧動作を行わせる制御部とを備えた昇降圧型DC-DCコンバータにおいて、

前記制御部は、

前記昇降圧部に対して降圧動作を行わせるか否かの判断を行うために前記誤差信号と比較する第1三角波信号を生成する第1三角波発生回路と、

前記昇降圧部に対して昇圧動作を行わせるか否かの判断を行うために前記誤差信号と比較する第2三角波信号を生成する第2三角波発生回路と、  
を備え、

前記第1三角波発生回路は、生成した第1三角波信号に同期したクロック信号を生成して前記第2三角波発生回路に出力し、該第2三角波発生回路は、入力さ

れたクロック信号に基づいて前記第 1 三角波信号に同期した第 2 三角波信号を生成して出力するものである。

#### 【0011】

具体的には、前記制御部は、

前記第 1 三角波信号の下限電圧を設定するための所定の第 1 電圧  $V_a$  を生成して出力する第 1 電圧発生回路と、

前記第 1 三角波信号の上限電圧を設定するための所定の第 2 電圧  $V_b$  を生成して出力する第 2 電圧発生回路と、

前記第 2 三角波信号の上限電圧を設定するための所定の第 3 電圧  $V_c$  を生成して出力する第 3 電圧発生回路と、

前記第 1 三角波信号及び第 2 三角波信号の電圧変化の傾きをそれぞれ設定する電流を生成して出力する電流発生回路と、  
を備え、

前記第 1 三角波発生回路は、前記第 1 電圧  $V_a$ 、前記第 2 電圧  $V_b$  及び電流発生回路からの電流から前記第 1 三角波信号を生成し、前記第 2 三角波発生回路は、前記第 3 電圧  $V_c$ 、電流発生回路からの電流及び前記第 1 三角波発生回路からのクロック信号から前記第 2 三角波信号を生成するようにした。

#### 【0012】

また具体的には、前記第 1 電圧発生回路、第 2 電圧発生回路及び第 3 電圧発生回路は、 $V_a < V_b < V_c$  でかつ  $(V_b - V_a) > (V_c - V_b)$  になるように対応する第 1 電圧  $V_a$ 、第 2 電圧  $V_b$  及び第 3 電圧  $V_c$  を生成して出力するようにした。

#### 【0013】

また、前記第 1 三角波発生回路は、前記クロック信号を第 1 三角波信号における下限電圧に同期させるようにした。

#### 【0014】

この場合、前記第 2 三角波発生回路は、第 2 三角波信号の電圧が前記第 3 電圧  $V_c$  になると第 2 三角波信号の電圧を低下させ、前記クロック信号に同期して第 2 三角波信号の電圧を上昇させるようにした。

## 【0015】

また、この発明に係る昇降圧型DC-DCコンバータは、入力された制御信号に応じて入力電圧を昇圧又は降圧して所定の出力電圧を生成し出力する昇降圧部と、該出力電圧を分圧した電圧値と所定の基準電圧との誤差を示した誤差信号を生成し、該誤差信号と所定の各三角波信号とを比較し該比較結果に応じて前記昇降圧部に対して昇圧又は降圧動作を行わせる制御部とを備えた昇降圧型DC-DCコンバータにおいて、

前記制御部は、

前記昇降圧部に対して降圧動作を行わせるか否かの判断を行うために前記誤差信号と比較する第1三角波信号を生成する第1三角波発生回路と、

前記昇降圧部に対して昇圧動作を行わせるか否かの判断を行うために前記誤差信号と比較する第2三角波信号を生成する第2三角波発生回路と、  
を備え、

前記第2三角波発生回路は、生成した第2三角波信号に同期したクロック信号を生成して前記第1三角波発生回路に出力し、該第1三角波発生回路は、入力されたクロック信号に基づいて前記第2三角波信号に同期した第1三角波信号を生成して出力するものである。

## 【0016】

具体的には、前記制御部は、

前記第1三角波信号の下限電圧を設定するための所定の第1電圧 $V_a$ を生成して出力する第1電圧発生回路と、

前記第2三角波信号の下限電圧を設定するための所定の第2電圧 $V_b$ を生成して出力する第2電圧発生回路と、

前記第2三角波信号の上限電圧を設定するための所定の第3電圧 $V_c$ を生成して出力する第3電圧発生回路と、

前記第1三角波信号及び第2三角波信号の電圧変化の傾きをそれぞれ設定する電流を生成して出力する電流発生回路と、  
を備え、

前記第1三角波発生回路は、前記第1電圧 $V_a$ 、電流発生回路からの電流及び

第2三角波発生回路からのクロック信号から前記第1三角波信号を生成し、前記第2三角波発生回路は、前記第2電圧 $V_b$ 、第3電圧 $V_c$ 及び電流発生回路からの電流から前記第2三角波信号を生成するようにした。

#### 【0017】

また具体的には、前記第1電圧発生回路、第2電圧発生回路及び第3電圧発生回路は、 $V_a < V_b < V_c$ でかつ $(V_b - V_a) < (V_c - V_b)$ になるように対応する第1電圧 $V_a$ 、第2電圧 $V_b$ 及び第3電圧 $V_c$ を生成して出力するようにした。

#### 【0018】

また、前記第2三角波発生回路は、前記クロック信号を第2三角波信号における上限電圧に同期させるようにした。

#### 【0019】

この場合、前記第1三角波発生回路は、第1三角波信号の電圧が前記第1電圧 $V_a$ になると第1三角波信号の電圧を上昇させ、前記クロック信号に同期して第1三角波信号の電圧を低下させるようにした。

#### 【0020】

また、前記第1電圧発生回路、第2電圧発生回路及び第3電圧発生回路は、所定の電圧を抵抗で分圧して対応する第1電圧 $V_a$ 、第2電圧 $V_b$ 及び第3電圧 $V_c$ を生成するようにしてもよい。

#### 【0021】

#### 【発明の実施の形態】

次に、図面に示す実施の形態に基づいて、本発明を詳細に説明する。

#### 第1の実施の形態.

図1は、本発明の第1の実施の形態における昇降圧型DC-DCコンバータの例を示した図である。

図1において、昇降圧型DC-DCコンバータ1は、外部電源7から入力電圧 $V_i$ が入力される入力端子INと、所定の出力電圧 $V_o$ を出力する出力端子OUTとを有し、出力電圧 $V_o$ の電圧値に応じたパルス信号を生成して出力するPWM制御部2と、該PWM制御部2からのパルス信号に応じてスイッチングを行い

出力電圧  $V_o$  の昇圧及び降圧を行う昇降圧部 3 で構成されている。

#### 【0022】

PWM制御部 2 は、位相補正回路 11、降圧側コンパレータ CMP 1、昇圧側コンパレータ CMP 2、コンパレータ CMP 3、出力電圧  $V_o$  を分圧して分圧電圧  $V_z$  を生成し出力する抵抗 R 10、R 11、所定の基準電圧  $V_r$  を生成して出力する基準電圧発生回路 12、第 1 三角波信号 S 1 を生成して出力する第 1 三角波発生回路 13、第 2 三角波信号 S 2 を生成して出力する第 2 三角波発生回路 14、三角波信号の上限電圧と下限電圧をそれぞれ設定する電圧設定回路 15、三角波信号の電圧変化の傾斜を設定するための電流  $i_1$  を供給する電流源 16、制御回路 17、及びプリドライバ 18 を備えている。また、昇降圧部 3 は、入力電圧  $V_i$  に対して降圧制御を行う PMOS トランジスタ M1 と、該降圧制御時に同期整流を行う NMOS トランジスタ M2 と、入力電圧  $V_i$  に対して昇圧制御を行う NMOS トランジスタ M3 と、該昇圧制御時に同期整流を行う NMOS トランジスタ M4 と、インダクタ L 1 と、コンデンサ C 1 とから構成されている。

#### 【0023】

電圧設定回路 15 は、入力端子 I N と接地電圧との間に直列に接続された抵抗 R 1 ～ R 4 で構成され、抵抗 R 1 と抵抗 R 2 との接続部の電圧  $V_1$ 、及び抵抗 R 2 と抵抗 R 3 との接続部の電圧  $V_2$  が第 1 三角波発生回路 13 にそれぞれ入力されている。また、抵抗 R 3 と抵抗 R 4 との接続部の電圧  $V_3$  が第 2 三角波発生回路 14 に接続され、第 1 三角波発生回路 13 及び第 2 三角波発生回路 14 には、電流源 16 からの電流  $i_1$  が入力されている。なお、電圧  $V_1$  が第 1 電圧  $V_a$  を、電圧  $V_2$  が第 2 電圧  $V_b$  を、電圧  $V_3$  が第 3 電圧  $V_c$  をそれぞれなす。

#### 【0024】

第 1 三角波発生回路 13 は、入力された電圧  $V_1$  及び  $V_2$  並びに電流  $i_1$  から第 1 三角波信号 S 1 を生成して降圧側コンパレータ CMP 1 の非反転入力端に出力すると共に、第 1 三角波信号 S 1 に同期したクロック信号 CLK を生成して第 2 三角波発生回路 14 に出力する。具体的には、第 1 三角波発生回路 13 は、電圧  $V_1$  から第 1 三角波信号 S 1 の下限電圧を、電圧  $V_2$  から第 1 三角波信号 S 1 の上限電圧をそれぞれ設定し、電流  $i_1$  から第 1 三角波信号 S 1 の電圧変化の傾

斜を設定する。

#### 【0025】

第2三角波発生回路14は、入力された電圧 $V_3$ 、電流 $i_1$ 及びクロック信号CLKから第2三角波信号 $S_2$ を生成して昇圧側コンパレータCMP2の非反転入力端に出力する。具体的には、第2三角波発生回路14は、電圧 $V_3$ から第2三角波信号 $S_2$ の上限電圧を、電流 $i_1$ から第2三角波信号 $S_2$ の電圧変化の傾斜をそれぞれ設定し、クロック信号CLKから、第2三角波信号 $S_2$ の下限電圧を設定すると共に第2三角波信号 $S_2$ を第1三角波信号 $S_1$ に同期させる。

#### 【0026】

一方、出力電圧 $V_o$ と接地電圧との間に抵抗 $R_{10}$ 及び $R_{11}$ が直列に接続され、抵抗 $R_{10}$ と $R_{11}$ との接続部がコンパレータCMP3の反転入力端に接続されている。抵抗 $R_{10}$ 及び $R_{11}$ で生成された分圧電圧 $V_z$ はコンパレータCMP3の反転入力端に入力され、基準電圧発生回路12からの基準電圧 $V_r$ がコンパレータCMP3の非反転入力端に入力されている。更に、コンパレータCMP3の出力端は、降圧側コンパレータCMP1及び昇圧側コンパレータCMP2の各反転入力端にそれぞれ接続され、コンパレータCMP3における出力端と反転入力端との間に位相補正回路11が接続されている。コンパレータCMP3は、分圧電圧 $V_z$ と基準電圧 $V_r$ とを比較して、該比較結果から誤差信号 $S_3$ を生成して出力し、昇圧側コンパレータCMP2及び降圧側コンパレータCMP1の各反転入力端にそれぞれ出力する。位相補正回路11は、出力電圧 $V_o$ を出力する回路からの帰還ループに設けられており、位相差を補正する。

#### 【0027】

降圧側コンパレータCMP1及び昇圧側コンパレータCMP2の各出力端は、制御回路17に接続されており、制御回路17の出力端はプリドライバ18に接続されている。プリドライバ18は、PMOSトランジスタM1及びNMOSトランジスタM2～M4の各ゲートに接続され、PMOSトランジスタM1及びNMOSトランジスタM2～M4の動作制御をそれぞれ行う。入力端子INと接地電圧との間には、PMOSトランジスタM1及びNMOSトランジスタM2が直列に接続されている。

## 【0028】

PMOSトランジスタM1とNMOSトランジスタM2との接続部と出力端子OUTとの間にはインダクタL1とNMOSトランジスタM4が直列に接続されている。また、インダクタL1とNMOSトランジスタM4との接続部と接地電圧との間にはNMOSトランジスタM3が接続され、出力端子OUTと接地電圧との間にはコンデンサC1が接続されている。

## 【0029】

降圧側コンパレータCMP1は、入力された前記誤差信号S3と第1三角波信号S1の電圧を比較し、誤差信号S3が第1三角波信号S1の降圧モードの電圧範囲にある場合は、昇降圧部3を降圧回路として作動させる降圧モード切換信号Ddnを制御回路17に出力する。また、昇圧側コンパレータCMP2は、入力された前記誤差信号S3と第2三角波信号S2の電圧を比較し、誤差信号S3が第2三角波信号S2の昇圧モードの電圧範囲にある場合は、昇降圧部3を昇圧回路として作動させる昇圧モード切換信号Dupを制御回路17に出力する。制御回路17は、入力された降圧モード切換信号Ddn及び昇圧モード切換信号Dupに応答して、スイッチング信号を生成して出力する。プリドライバ18は、制御回路17から入力されたスイッチング信号を昇降圧部3に出力して昇降圧制御が行われる。

## 【0030】

図2は、図1の第1三角波発生回路13の回路例を示した図である。

図2において、第1三角波発生回路13は、コンパレータCMP4、CMP5、NOR回路N1、N2、バッファ回路BUF1、コンデンサC2及び電流源21、22で構成されている。

NOR回路N1及びN2はラッチ回路を形成しており、NOR回路N2の一方の入力端とNOR回路N1の出力端が接続され、NOR回路N1の一方の入力端とNOR回路N2の出力端が接続され、該接続部がラッチ回路の出力端をなしバッファ回路BUF1の入力端に接続されている。NOR回路N1の他方の入力端はコンパレータCMP4の出力端に接続され該接続部からクロック信号CLKが出力される。また、NOR回路N2の他方の入力端はコンパレータCMP5の出

力端に接続されている。

### 【0031】

バッファ回路 BUF 1 の出力端と接地電圧との間にはコンデンサ C 2 が接続されており、該接続部から第 1 三角波信号 S 1 が出力される。コンパレータ CMP 4 において、非反転入力端には電圧 V 1 が入力され、反転入力端には第 1 三角波信号 S 1 が入力されている。コンパレータ CMP 5 において、反転入力端には電圧 V 2 が入力され、非反転入力端には第 1 三角波信号 S 1 が入力されている。また、バッファ回路 BUF 1 には、入力電圧 V i との間に電流源 2 2 が接続され、接地電圧との間には電流源 2 1 が接続されている。バッファ回路 BUF 1 は、コンデンサ C 2 の充放電を行い、該充放電電流は電流源 2 1 によって供給される電流 i 2 と、電流源 2 2 によって供給される電流 i 3 によって設定される。なお、コンデンサ C 2 を充電する電流 i 3 及びコンデンサ C 2 を放電する電流 i 2 は、第 1 三角波発生回路 1 3 に入力された電流源 1 6 からの電流 i 1 からそれぞれ生成される。

### 【0032】

第 1 三角波信号 S 1 の電圧が電圧 V 1 以下に低下すると、コンパレータ CMP 4 の出力信号であるクロック信号 CLK はハイレベルになる。該コンパレータ CMP 4 の出力信号は、NOR 回路 N 1 の対応する入力端に出力され、この結果 NOR 回路 N 1 の出力端はローレベル、NOR 回路 N 2 の出力端はハイレベルになる。このため、バッファ回路 BUF 1 の出力端がハイレベルになり、コンデンサ C 2 の充電が開始されてコンデンサ C 2 の電圧が上昇し、コンパレータ CMP 4 の反転入力端の電圧を上昇させる。このことから、コンパレータ CMP 4 から出力されるクロック信号 CLK は、再びローレベルに戻る。しかし、NOR 回路 N 2 の出力端はハイレベルを保持していることから、コンデンサ C 2 の電圧が上昇し続ける。

### 【0033】

このような動作を、図 3 のタイミングチャートで示している。

また、図 3 において、第 1 三角波信号 S 1 の電圧が電圧 V 2 以上に上昇するとコンパレータ CMP 5 の出力信号 S A はハイレベルになる。該出力信号 S A は、

ラッチ回路を構成している NOR 回路 N 2 の対応する入力端に出力され、この結果、NOR 回路 N 2 の出力信号はローレベル、NOR 回路 N 1 の出力信号はハイレベルになる。NOR 回路 N 2 の出力信号はバッファ回路 BUF 1 の入力端に出力されることから、バッファ回路 BUF 1 の出力端はローレベルになり、コンデンサ C 2 を放電させ、コンデンサ C 2 の電圧が低下してコンパレータ CMP 5 の非反転入力端の電圧を低下させる。このため、コンパレータ CMP 5 の出力信号 S A は、再びローレベルに戻る。一方、NOR 回路 N 2 の出力端はローレベルを保持していることから、コンデンサ C 2 の電圧は低下し続ける。

#### 【0034】

図 3 から分かるように、第 1 三角波信号 S 1 は、電圧 V 1 と電圧 V 2 との間を往復し、その電圧変化の傾きが、コンデンサ C 2 の容量と、電流  $i_2$  及び  $i_3$  で決定される三角波をなしている。また、コンパレータ CMP 4 の出力信号をクロック信号 CLK として使用することから、クロック信号 CLK を、第 1 三角波発生回路 1 3 内で生成することができ、クロック信号 CLK を生成する回路を新たに追加する必要がなく、回路スペースやコストを増加させることなくクロック信号 CLK を生成することができる。

#### 【0035】

次に、図 4 は、図 1 の第 2 三角波発生回路 1 4 の例を示した図である。

第 2 三角波発生回路 1 4 は、コンパレータ CMP 6 と、NOR 回路 N 3 及び N 4 で構成されたラッチ回路と、コンデンサ C 3 と、該コンデンサ C 3 を充放電するバッファ回路 BUF 2 と、コンデンサ C 3 に対する充放電電流をそれぞれ設定する 2 つの電流源 2 5, 2 6 とで構成されている。

NOR 回路 N 4 の一方の入力端と NOR 回路 N 3 の出力端が接続されると共に、NOR 回路 N 3 の一方の入力端と NOR 回路 N 4 の出力端が接続され、該接続部がラッチ回路の出力端をなしバッファ回路 BUF 2 の入力端に接続されている。NOR 回路 N 3 の他方の入力端には、第 1 三角波発生回路 1 3 からのクロック信号 CLK が入力されている。また、NOR 回路 N 4 の他方の入力端はコンパレータ CMP 6 の出力端に接続されている。

#### 【0036】

バッファ回路 BUF 2 の出力端と接地電圧との間にはコンデンサ C 3 が接続されており、該接続部から第 2 三角波信号 S 2 が出力される。コンパレータ CMP 6 において、反転入力端には電圧 V 3 が入力され、非反転入力端には第 2 三角波信号 S 2 が入力されている。また、バッファ回路 BUF 2 には、入力電圧 V i との間に電流源 2 6 が接続され、接地電圧との間には電流源 2 5 が接続されている。バッファ回路 BUF 2 は、コンデンサ C 3 の充放電を行い、該充放電電流は電流源 2 5 によって供給される電流  $i_4$  と、電流源 2 6 によって供給される電流  $i_5$  によって設定される。なお、コンデンサ C 3 を充電する電流  $i_5$  及びコンデンサ C 3 を放電する電流  $i_4$  は、第 2 三角波発生回路 1 4 に入力された電流源 1 6 からの電流  $i_1$  からそれぞれ生成される。

#### 【0037】

第 2 三角波信号 S 2 の電圧が電圧 V 3 以上に上昇すると、コンパレータ CMP 6 の出力信号 S B はハイレベルになる。該出力信号 S B はラッチ回路を構成している NOR 回路 N 4 の対応する入力端に出力され、この結果 NOR 回路 N 4 の出力端はローレベル、NOR 回路 N 3 の出力端はハイレベルになる。このため、バッファ回路 BUF 2 の出力端がローレベルになり、コンデンサ C 3 の放電が開始されてコンデンサ C 3 の電圧が低下し、コンパレータ CMP 6 の非反転入力端の電圧を低下させる。このことから、コンパレータ CMP 6 から出力される信号 S B は、再びローレベルに戻る。しかし、NOR 回路 N 4 の出力端はローレベルを保持していることから、コンデンサ C 3 の電圧は低下し続ける。

#### 【0038】

一方、第 1 三角波発生回路 1 3 から出力されたクロック信号 CLK が NOR 回路 N 3 の対応する入力端に入力されていることから、クロック信号 CLK がハイレベルになると、NOR 回路 N 3 の出力端はローレベル、NOR 回路 N 4 の出力端はハイレベルになる。NOR 回路 N 4 の出力端がハイレベルになると、バッファ回路 BUF 2 の出力端はハイレベルになり、コンデンサ C 3 の放電が充電に切り換わり、コンデンサ C 3 の電圧が上昇し始める。これらの様子を図 5 のタイミングチャートに示す。

#### 【0039】

図5に示す第2三角波信号S2の電圧変化を見れば分かるように、第2三角波信号S2は、電圧V3と電圧V4との間を往復し、その電圧変化の傾きが、コンデンサC3の容量と、電流i4及びi5で決定される三角波である。また、第2三角波信号S2の下限は、クロック信号CLKによって反転させるため、第1三角波信号S1と同期がとれ、しかも、第1三角波発生回路13で使用していた下限検出用のコンパレータCMP4が不要となる。第1三角波発生回路13の電流源21の電流i2と第2三角波発生回路14の電流源25の電流i4を同じ電流値に設定すると共に、電流源22の電流i3と電流源26の電流i5を同じ電流値に設定し、更に、コンデンサC2とC3の容量値も同じにすることにより、第1三角波信号S1の電圧変化の傾斜と第2三角波信号S2の電圧変化の傾斜を同じにすることができる。

#### 【0040】

次に、第1三角波信号S1と第2三角波信号S2との関係を図6に示す。図6から、第2三角波信号S2は、第1三角波信号S1と電圧変化の傾斜が同じで、更に、電圧を $(V3 - V2)$ だけシフトした波形であることが分かる。第2三角波信号S2の下限電圧V4は、およそ下記(1)式で表すことができる。

$$V4 = V3 - (V2 - V1) \dots\dots\dots (1)$$

#### 【0041】

電圧V1～V3の関係が、 $V1 < V2 < V3$ でかつ $(V2 - V1) > (V3 - V2)$ になるように設定すると、下限電圧V4は、電圧V1と電圧V2の間の電圧になる。下限電圧V4から電圧V2までの範囲が、昇降圧部3に対して昇圧制御と降圧制御の両方が同時に行われる昇降圧領域であり、該昇降圧領域がなくなると出力電圧Voは不安定になる。また、該昇降圧領域の電圧範囲が大きすぎると電源効率が低下するため、昇降圧領域を、安定動作が可能で最も高効率が得られる電圧範囲に設定する。

#### 【0042】

例えば、電圧V1を0.2V、電圧V2を0.8V、電圧V3を1.2Vにそれぞれ設定すると、第2三角波信号S2の下限電圧V4は0.6Vになる。制御回路17は、出力電圧Voが0.2Vから0.6Vまでは昇降圧部3に対して降圧動

作を行わせ、出力電圧  $V_o$  が 0.6 V から 0.8 V までは昇降圧部 3 に対して昇降圧動作を行わせ、出力電圧  $V_o$  が 0.8 V から 1.2 V までは昇降圧部 3 に対して昇圧動作を行わせる。

#### 【0043】

プリドライバ 18 は、制御回路 17 からの制御信号に応じて PMOS トランジスタ M1 及び NMOS トランジスタ M2 ~ M4 のスイッチング制御を行い、制御回路 17 は、プリドライバ 18 を介して昇降圧部 3 への昇降圧制御を行う。制御回路 17 は、昇降圧部 3 に対して降圧動作を行わせる場合は、NMOS トランジスタ M3 をオフさせると共に NMOS トランジスタ M4 をオンさせ、PMOS トランジスタ M1 及び NMOS トランジスタ M2 の各ゲートにパルス信号を出力し、該パルス信号のデューティサイクルを制御する PWM 制御を行ってスイッチング制御を行う。この際、制御回路 17 は、PMOS トランジスタ M1 と NMOS トランジスタ M2 が同時にオンしないように制御する。

#### 【0044】

また、制御回路 17 は、昇降圧部 3 に対して昇圧動作を行わせる場合は、PMOS トランジスタ M1 をオンさせると共に NMOS トランジスタ M2 をオフさせ、PMOS トランジスタ M3 及び NMOS トランジスタ M4 の各ゲートにパルス信号を出力し、該パルス信号のデューティサイクルを制御する PWM 制御を行ってスイッチング制御を行う。この際、制御回路 17 は、NMOS トランジスタ M3 及び M4 が同時にオンしないように制御する。

#### 【0045】

前記説明では、クロック信号 CLK を第 1 三角波発生回路 13 で生成して第 2 三角波発生回路 14 に出力するようにしたが、第 2 三角波発生回路 14 でクロック信号 CLK を生成し、該生成したクロック信号 CLK を第 1 三角波発生回路 13 に出力するようにしてもよく、このようにした場合、図 1 は図 7 のようになる。なお、図 7 では図 1 と同じもの又は同様のもの同じ符号で示しており、ここではその説明を省略すると共に図 1 との相違点のみ説明する。

#### 【0046】

図 7 における図 1 との相違点は、昇圧制御用の第 2 三角波信号 S2 を発生する

第2三角波発生回路14でクロック信号CLKを生成して、降圧制御用の第1三角波信号S1を発生する第1三角波発生回路13に出力し、電圧設定回路15で電圧V5～V7を生成するようにしたことにより、図1の第1三角波発生回路13を第1三角波発生回路13aに、図1の第2三角波発生回路14を第2三角波発生回路14aに、図1の電圧設定回路15を電圧設定回路15aにし、これらに伴って、図1のPWM制御部2をPWM制御部2aに、昇降圧型DC-DCコンバータ1を昇降圧型DC-DCコンバータ1aにした。

#### 【0047】

図7において、電圧設定回路15aは、入力端子INと接地電圧との間に直列に接続された抵抗R5～R8で構成され、抵抗R5とR6との接続部の電圧をV5とし、抵抗R6とR7との接続部の電圧をV6とし、抵抗R7とR8との接続部の電圧をV7とする。第2三角波発生回路14aには第2三角波信号S2の上限電圧と下限電圧をそれぞれ設定するための電圧V6及び電圧V7がそれぞれ入力されている。また、第1三角波発生回路13aには、第1三角波信号S1の下限電圧を設定するための電圧V5だけが入力され、第1三角波信号S1の上限電圧は、第2三角波発生回路14aから入力されるクロック信号CLKで決定される。電圧V5～V7は、 $V5 < V6 < V7$ でかつ $(V6 - V5) < (V7 - V6)$ になるように設定される。なお、電圧V5は第1電圧Vaを、電圧V6は第2電圧Vbを、電圧V7は第3電圧Vcをそれぞれなす。

#### 【0048】

第1三角波発生回路13aは、図2からコンパレータCMP5をなくした回路構成をなし、コンパレータCMP4の非反転入力端には電圧V1の代わりに電圧V5が入力される。また、NOR回路N2の開放された入力端に第2三角波発生回路14aからのクロック信号CLKが入力される。また、第2三角波発生回路14aは、図4にコンパレータCMP7を追加し、クロック信号CLKが入力されていたNOR回路N3の入力端に該コンパレータCMP7の出力端を接続し、コンパレータCMP7の非反転入力端には第2三角波信号S2が、コンパレータCMP7の反転入力端には電圧V6が入力され、コンパレータCMP6の反転入力端には電圧V3の代わりに電圧V7が入力される。また、コンパレータCMP

6 の出力信号がクロック信号 CLK をなし、第 1 三角波発生回路 13 a に出力される。

#### 【0049】

このように、本第 1 の実施の形態における昇降圧型 DC-DC コンバータは、出力電圧  $V_o$  に対する降圧制御用の第 1 三角波信号 S1 と出力電圧  $V_o$  に対する昇圧制御用の第 2 三角波信号 S2 の同期を取るためのクロック信号 CLK を第 1 三角波発生回路又は第 2 三角波発生回路で生成すると共に、該生成したクロック信号を他方の三角波信号を生成する際に使用するようにした。このことから、クロック信号 CLK を発生させる回路が不要になり、回路の簡素化とコストの低減を図ることができる。

#### 【0050】

##### 【発明の効果】

上記の説明から明らかなように、本発明の昇降圧型 DC-DC コンバータによれば、降圧制御用の第 1 三角波信号と昇圧制御用の第 2 三角波信号の同期を取るためのクロック信号を第 1 三角波発生回路又は第 2 三角波発生回路で生成すると共に、該生成したクロック信号を他方の三角波信号を生成する際に使用するようにした。このことから、クロック信号を発生させる回路を別途設ける必要がなく、回路の簡素化とコストダウンを図ることができる。

##### 【図面の簡単な説明】

【図 1】 本発明の第 1 の実施の形態における昇降圧型 DC-DC コンバータの例を示した図である。

【図 2】 図 1 の第 1 三角波発生回路 13 の回路例を示した図である。

【図 3】 図 2 の各部の波形例を示したタイミングチャートである。

【図 4】 図 1 の第 2 三角波発生回路 14 の回路例を示した図である。

【図 5】 図 4 の各部の波形例を示したタイミングチャートである。

【図 6】 第 1 三角波信号 S1 と第 2 三角波信号 S2 との関係例を示した図である。

【図 7】 本発明の第 1 の実施の形態における昇降圧型 DC-DC コンバータの他の例を示した図である。

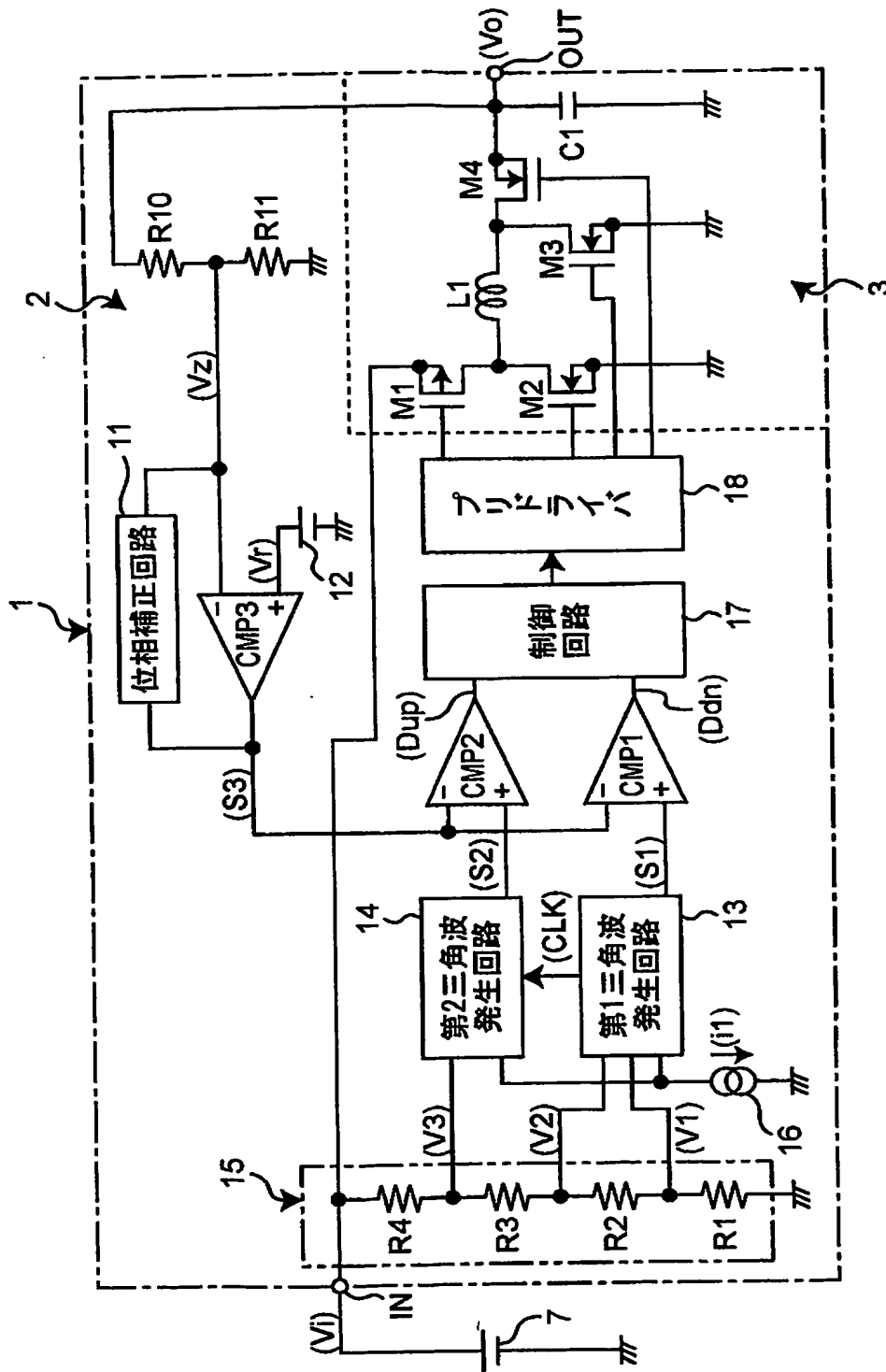
【図 8】 従来の昇降圧型 DC-DC コンバータの例を示した回路図である

【符号の説明】

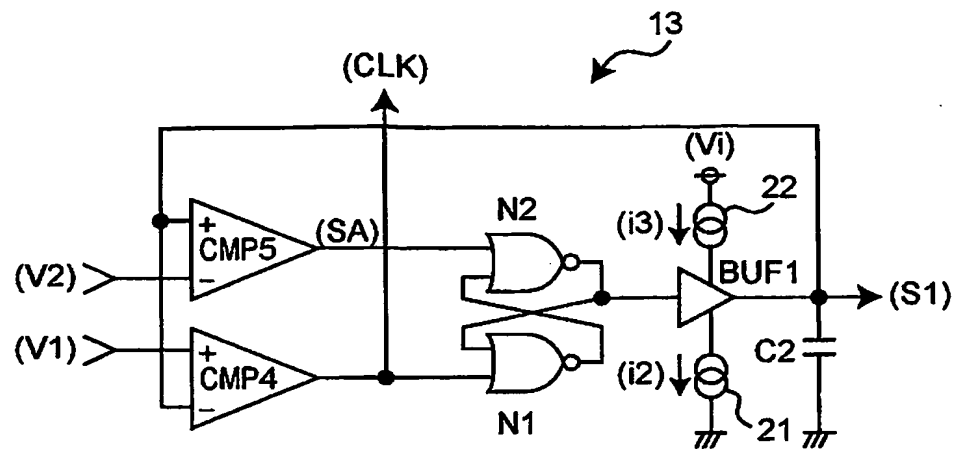
- 1, 1 a 昇降圧型 DC-DC コンバータ
- 2 PWM 制御部
- 3 昇降圧部
  - 1 1 位相補正回路
  - 1 2 基準電圧発生回路
  - 1 3, 1 3 a 第 1 三角波発生回路
  - 1 4, 1 4 a 第 2 三角波発生回路
  - 1 5, 1 5 a 電圧設定回路
- 1 6 電流源
- 1 7 制御回路
- 1 8 プリドライバ
- CMP 1 降圧側コンパレータ
- CMP 2 昇圧側コンパレータ
- CMP 3 コンパレータ

【書類名】 図面

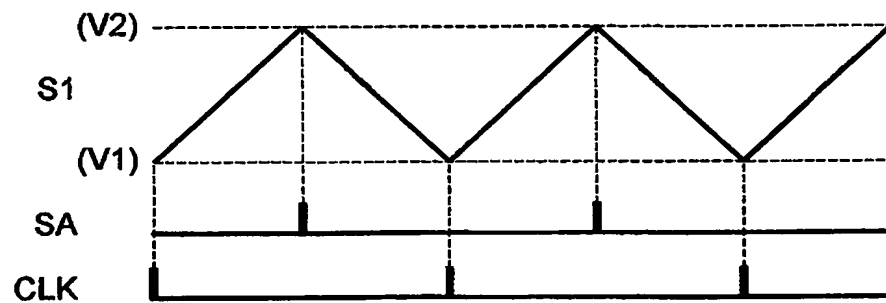
【図1】



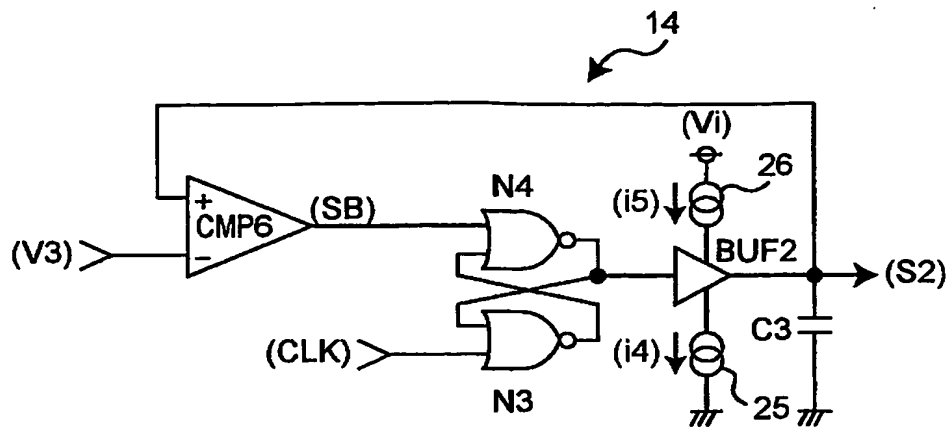
【図 2】



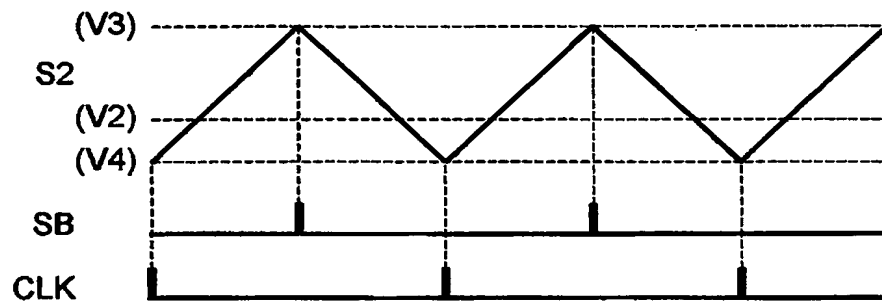
【図 3】



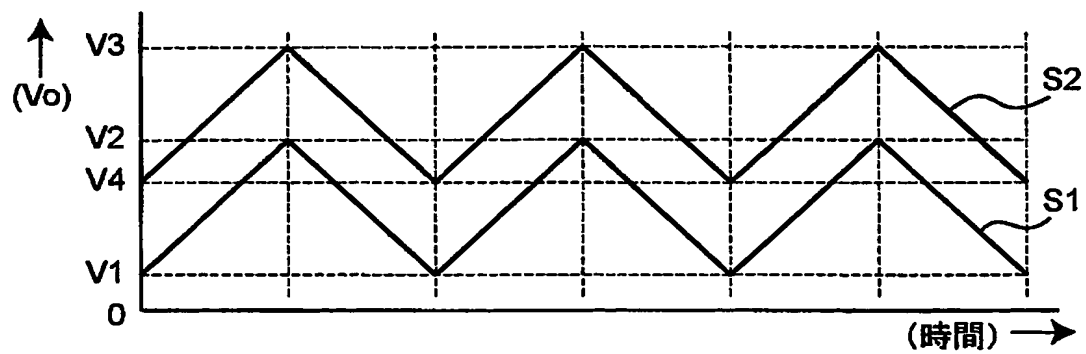
【図 4】



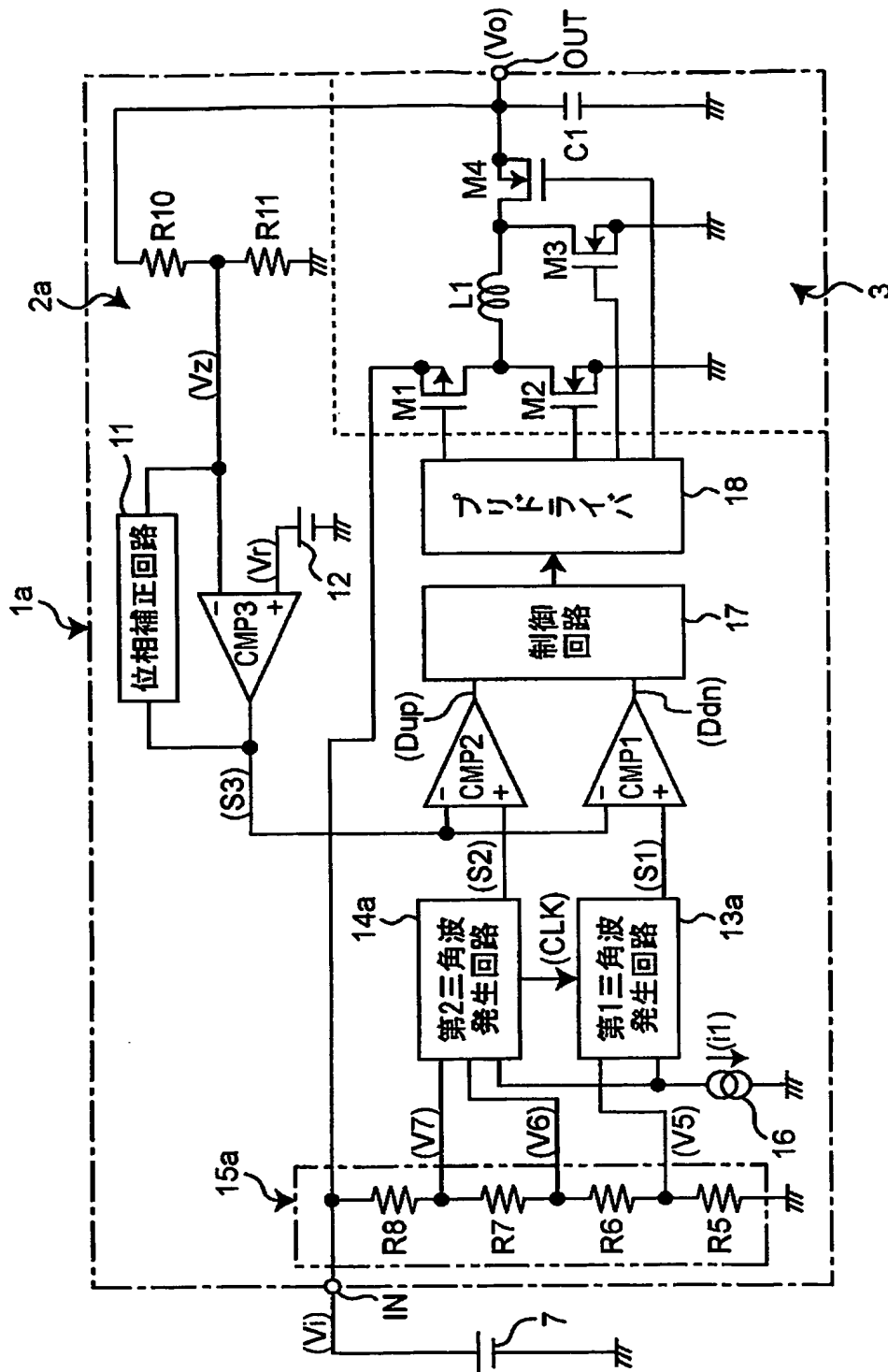
【図 5】



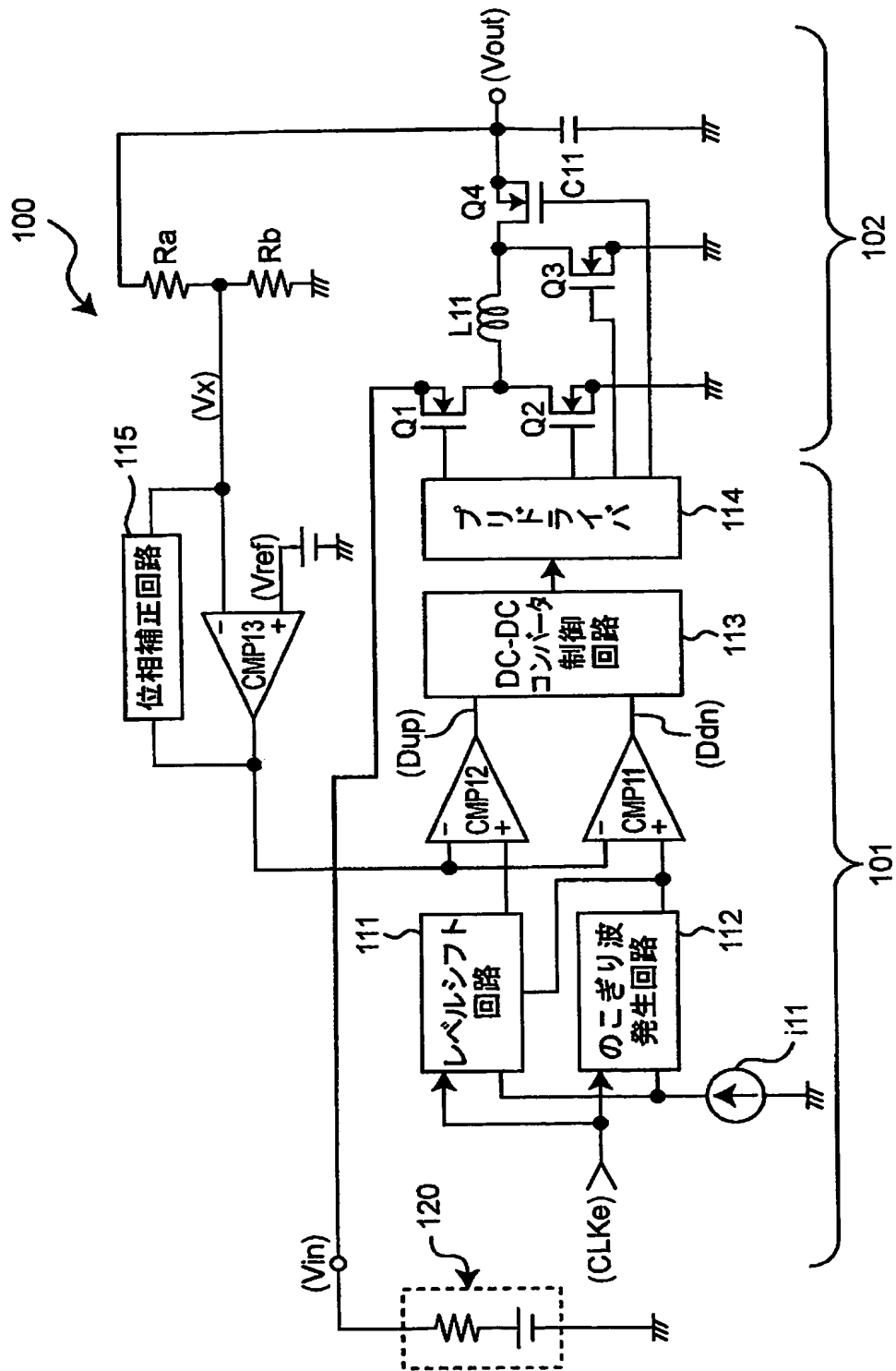
【図 6】



【図 7】



【図 8】



【書類名】 要約書

【要約】

【課題】 外部クロック信号を必要とせず、しかも簡単な回路でレベルの異なる2つの三角波を発生させることができる昇降圧型DC-DCコンバータを得る。

【解決手段】 出力電圧 $V_o$ に対する降圧制御用の第1三角波信号 $S_1$ と出力電圧 $V_o$ に対する昇圧制御用の第2三角波信号 $S_2$ の同期を取るためのクロック信号CLKを第1三角波発生回路13で生成して第2三角波発生回路14へ出力し、第2三角波発生回路14は、入力されたクロック信号CLKを使用して第2三角波信号 $S_2$ を生成するようにした。

【選択図】 図1

特願 2 0 0 3 - 1 2 3 8 2 0

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 6 7 4 7 ]

1. 変更年月日

2 0 0 2 年 5 月 1 7 日

[変更理由]

住所変更

住 所

東京都大田区中馬込 1 丁目 3 番 6 号

氏 名

株式会社リコー